

一种 16 位定点式 DSP 核的设计及 Modelsim 仿真验证

辛晓宁, 李 萌

(沈阳工业大学 信息科学与工程学院, 辽宁 沈阳 110870)

摘 要: 为提高 DSP 的工作效率, 设计了一种 4 级流水线的 16 位定点式 DSP 核. 分别从系统及关键模块设计两个方面, 介绍了 DSP 核的具体设计方法, 着重分析了流水线的实现方案及 DSP 核的指令流与数据流, 给出了 DSP 核的完整设计方案. 最后给出 DSP 核支持的指令集, 并基于 Modelsim 仿真环境对指令集进行验证. 结果表明, 该 DSP 核能够正确执行各条指令, 最高时钟频率为 12.5 MHz, 可在单个机器周期内完成高速运算.

关键词: DSP 核; 定点式; 流水线; Modelsim

中图分类号: TP332

文献标识码: A

文章编号: 1000-7180(2014)06-0180-04

Design and Modelsim Verification of a 16-bit-fixed-point DSP Core

XIN Xiao-ning, LI Meng

(School of Information Science and Engineering, Shenyang University of Technology, Shenyang 110870, China)

Abstract: For the sake of improving the work efficiency of DSP, a 16-bit-fixed-point DSP core with four pipeline stages is presented in this paper. Considering the design of the whole system and key module of the DSP core, the specific method is given in the paper. Focused on the implementation of the pipeline and the instruction and data stream of the DSP core, the description of the complete design plan is eventually presented in this article. Finally, the instruction set of the DSP core is realized and verified with the utilization of Modelsim simulating environment. The results indicate that the DSP core can execute correctly all the instructions with maximum clock operation frequency of 12.5 MHz and complete high-speed algorithms within single machine cycle.

Key words: DSP core; fixed-point; pipeline; Modelsim

1 引言

近年来, DSP 在数字通信、信号处理、图像处理等方面应用广泛. 16 位定点式 DSP 具有成本低和功耗低等显著特点, 在未来领域具有广泛应用前景^[1-2]. 作为 DSP 的核心部件, DSP 核负责整个系统指令的执行, 处理 DSP 内部的所有数据, 是 DSP 的“心脏”, 对 DSP 核设计的研究具有重大意义. 区别于一般芯片的设计, 专用的 DSP 芯片通常要实现高速运算的目标, 并尽可能地降低成本, 因此在结构上需要充分考虑所采用算法的特点, 需要合理地安排各个模块, 便于在实现算法时, 更好地发挥 DSP 的工作效率^[3].

本文给出 16 位定点式 DSP 核的完整设计方

案, 从系统设计、关键模块设计、指令集等三方面进行了详细介绍, 最后利用 Modelsim 对 DSP 核的指令集进行仿真验证.

2 系统设计

DSP 核采用增强的哈佛结构, 具有 6 条 16 位总线, 即程序地址总线(PAB)、程序读总线(PRD)、数据读地址总线(DRA)、数据读总线(DRD)、数据写地址总线(DWA)、数据写总线(DWE), 同时包括两条内部总线, 程序内部总线(OP2), 数据内部总线(OP1). 图 1 所示的框图描述了 DSP 核的指令流与数据流. 由图 1 可知, DSP 核由译码段的控制器和其他部分构成的数据通道组成, 指令周期主要包括取指(IF)、译码(ID)、执行(EI), 并隐含了从外部数

据存储器读出相应数据的阶段,即取操作数(FO)阶段,以上四个阶段符合DSP核的整体设计思想^[4]。

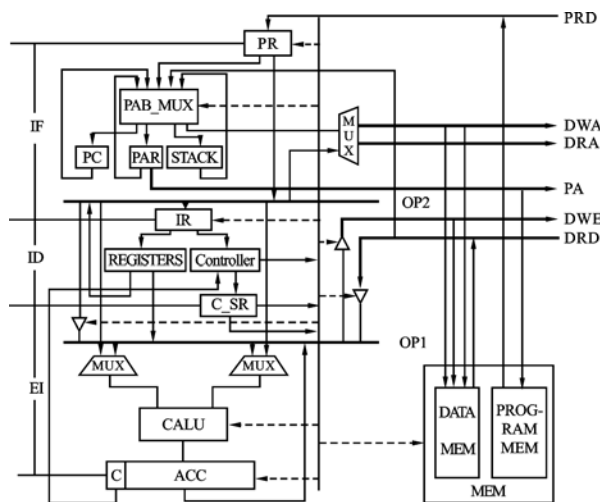


图1 DSP核与存储器的结构框图

2.1 流水线

该DSP核采用4阶指令流水线技术,包括取指(IF),译码(ID),取操作数(FO),执行(EI)四个阶段。见图2。

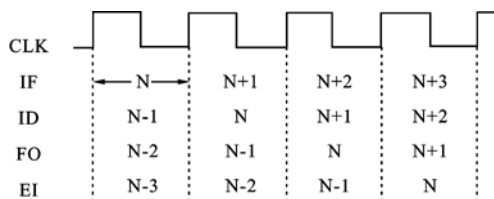


图2 流水线的四个阶段

整个流水线控制采用如图3所示的2相静态逻辑实现,包括主相(CLK1)和从相(CLK2)。主相负责执行所有的交换逻辑,从相则负责锁存逻辑结果。采用2相操作会为变换逻辑的执行提供更充裕的时间,进而提高CPU的执行速率。

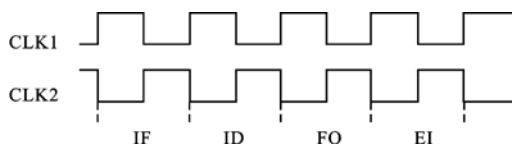


图3 2相静态逻辑

DSP核实现4级流水线结构的核心在于存储不同流水线阶段的指令,结合分段译码的方式来区别单周期指令,特殊指令(多周期或跳转指令)或数据,解决单周期与多周期指令在时序上的交叉问题^[5]。如图4所示,由PRD读入的指令经由三个缓冲器BUF1-3进行简单的译码和存储,实现指令的分流,缓冲器BUF4和IR_MUX形成的指令循环便于实现重复指令的译码。若指令为数据则直接经过译码选择器(IR_MUX)传送给OP1,最终得到3组

控制流OP2, ID1, ID2和数据流OP1。

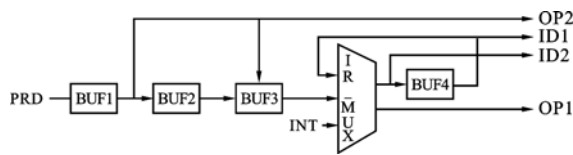


图4 流水线的实现

2.2 指令周期

在实际的指令执行过程中,中断允许并发生的情况下,DSP核保存当前进程并为中断服务,因此可以把指令周期细分为如图5所示过程的5个子周期——取指、译码、取操作数、执行、中断,下面分别介绍各个部分的设计思想。

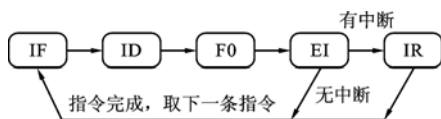


图5 指令流程

(1)取指(IF)

取指阶段完成取指令的操作。正常工作条件下,如图1所示,地址选择器(PAB_MUX)选择程序计数器(PC)将下一次执行的程序地址传送给程序地址寄存器(PAR),并送至PA,同时PC+1。程序存储器(PROGRAM MEM)接收地址之后,将对应的程序传送至PRD,完成取指操作。其他情况下,PC的值来源于三部分:执行返回指令时,堆栈(STACK)的值;执行中断,跳转及调用指令时,来自程序寄存器的值;执行转移指令(BACC或CALA)时,来自DRD的值。

(2)译码(ID)

译码阶段实现指令的译码功能,最终产生DSP核各个模块所需的控制信号。除了采用流水线分段译码的方式获得3组控制信号OP2、ID1、ID2及内部数据总线OP1之外,译码阶段还包括控制信号寄存器(C_SR)将各组控制信号传送至各部分的控制端。

(3)取操作数

取操作数阶段即“读”操作。DSP核的指令系统采用三种基本寻址方式来获得操作数,即立即寻址、直接寻址,间接寻址。采用立即寻址方式的指令将数据直接传送给OP1,而直接寻址方式的指令将操作数的地址传送至DRA,并将对应操作数通过DRD传送至OP1,两种寻址方式流程如图6所示。

以上两种寻址方式的操作数以及地址的大小受到指令字段长度的限制,需采用间接寻址方式来实现更大范围地址的寻址,由辅助寄存器模块实现。图

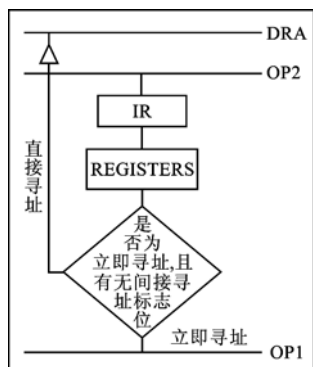


图6 立即寻址和直接寻址流程

7 展示了间接寻址方式的流程,16 位的 DSP 核寻址范围为 64 kb.

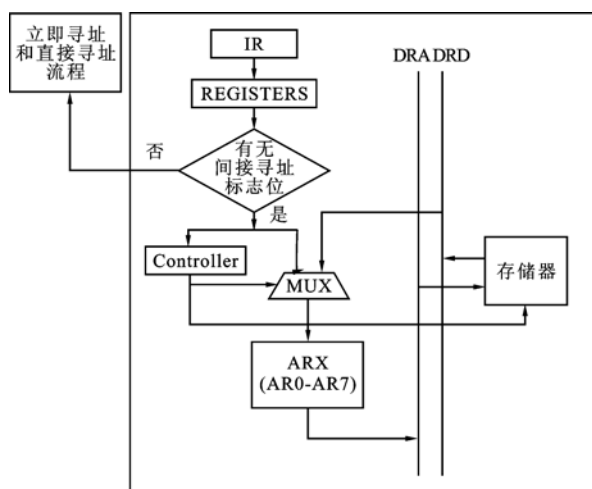


图7 间接寻址流程

(4) 执行

执行阶段完成指令的具体操作,包括运算以及数据的传送.由中央逻辑运算单元 CALU、乘法器、移位器实现包括 16 位加、减、乘、取绝对值、取反等单操作数指令的算术运算,以及与、或、异或、移位等逻辑运算,并将结果传送至 OP1 或者总线 DWE.

(5) 中断

在中断阶段,DSP 核识别并响应外设中断请求,可实现 6 个具有优先级可屏蔽中断 (INT1-INT6).DSP 核在处理中断时,会首先保存断点,结合图 1,即将 PC 的内容送入 STACK,进而根据由各个中断源的中断服务程序入口地址组成的中断向量表来判别中断源,将中断服务程序入口地址送入 PC,开始处理中断.中断结束后,恢复断点,PC 值出栈,保证被停下来的程序继续正常运行.

3 主要功能模块设计

DSP 核主要功能模块包括中央逻辑运算单元 (ALU),以及完全独立于 ALU 的辅助运算单元

(ARAU)^[6].

3.1 ALU 模块

ALU 结构如图 8 所示.中央算术逻辑单元 (CALU) 内部以 16 位行波进位加法器的构成方式为基础进行减法等多种功能的扩展.乘法器采用优化的 Booth 算法实现乘法运算,关键路径包括临时寄存器 (TREG)、乘积寄存器 (PREG)、乘法器、CALU,以及能够实现数据的快速移位功能的三个移位器:输入移位器 (Input shifter),乘积定标移位器 (Product shifter) 以及输出移位器 (Output shifter). Product shifter 会将乘积结果移位后传给 CALU,并由累加器 (ACC) 完成累加运算或者直接写入 DWE,大大加快乘后累加的运算速度.

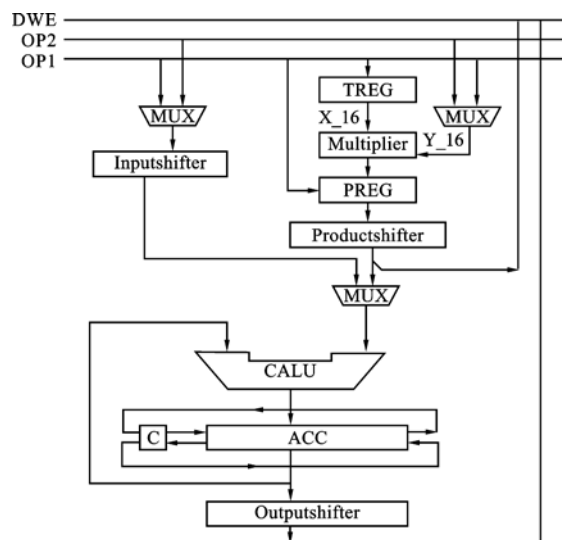


图8 ALU 结构框图

3.2 ARAU 模块

如图 9 所示,ARAU 主要包括 8 个 16 位的辅助寄存器 (AR0-AR7) 以及辅助寄存器算术模块 (ACALU). AR0-AR7 具有强大的间接寻址能力.

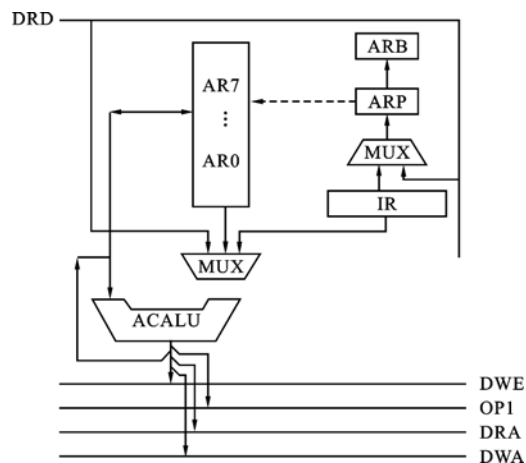


图9 ARAU 结构框图

通过改变 3 位辅助寄存器指针(ARP)的值,可选择特定的辅助寄存器 ARX. 指针缓冲器(ARB)用来保存 ARP 的值. ACALU 模块可实现 AR0-AR7 的 16 位无符号算术运算.

4 指令集

本文设计的 DSP 核支持的指令集 6 大类的指令,包括算术逻辑运算指令、辅助寄存器指令、乘法运算指令、跳转指令、控制指令、I/O 口和内存指令. 如表 1 所示.

表 1 指令集

助记符	功能描述	机器周期
算术逻辑运算指令		
ADD	加法运算	1
SUB	减法运算	1
AND	逻辑与	1
OR	逻辑或	1
XOR	逻辑异或	1
NEG	取负	1
ABS	取绝对值	1
SFL	左移	1
ROR	带进位循环右移	1
辅助寄存器指令		
ADRK	辅助寄存器加法	1
SBRK	辅助寄存器减法	1
CMPR	比较大小	1
乘法运算指令		
MPY	有符号乘法	1
MPYU	无符号乘法	1
跳转指令		
B	无条件跳转	4
CC	条件调用	4
RET	返回	4
控制指令		
NOP	空操作	1
PUSH	入栈	1
POP	出栈	1
RPT	重复执行下一条指令	1
SETC	设置控制位	1
I/O 口和内存指令		
IN	I/O 输入指令	2
OUT	I/O 输出指令	3

运算类指令会衍生出多条同类别指令,例如加法指令包括 ADDC(带进位加)、ADDS(带抑制符号扩展至累加器加)、ADDT(按 TREG 寄存器规定移位加)等,同时每条指令的寻址方式不尽相同,最多包括三种寻址方式. 例如 ADD 有三种寻址方式,而 ADDC 只有直接寻址和间接寻址两种方式. 因此,仅加法指令对应 12 条. DSP 核共实现 180 条指令,所有运算类指令可以在单个机器周期内完成.

5 Modelsim 仿真验证

本文设计的 DSP 核由可综合的 Verilog HDL 语言描述,采用 SE 版本的 Modelsim5.7c 进行仿真验证. 采用多条指令结合的方式,验证 DSP 核能否完整实现执行指令并正确进行逻辑运算.

如图 10、图 11 所示,分别给出立即寻址方式的加法指令和直接寻址方式的乘法指令的执行过程. 通过取指和译码操作后,加法指令直接得到两个操作数,16 进制数 7FFF 和 0002. 而乘法指令则通过总线 DRD 读回两个操作数 00FC,00EA. 同时,获得的操作数都被传送至 OP1_bus,控制信号则传送至 OP2W. 执行相应运算后,最终结果的低 16 位和高 16 位通过总线 DWE,分别被写入指定地址.

仿真结果表明,加法指令和乘法指令最终得到 32 位 16 进制数,分别为 0000_8001,0000_E658,结果正确. 本次设计的采用四级流水线方式 16 位定点式 DSP 核,能够正确执行指令并进行相应计算. 整个 DSP 核在适配后,最高时钟频率可达 12.5 MHz.

6 结束语

文中以四级流水线的实现为基础,从系统设计、关键模块设计等方面介绍了一种 16 位定点 DSP 核的设计方法,最后给出该 DSP 核支持的指令集. 利用 Modelsim 对 DSP 核的指令执行情况进行仿真,结果表明,该 DSP 核能够正确执行 180 条指令,最高时钟频率为 12.5 MHz,运算类指令均可在单个机器周期内完成,实现 DSP 高速运算的设计目标.

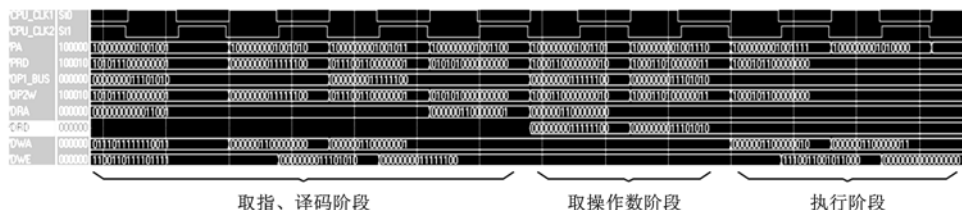


图 10 立即寻址方式的加法指令

(下转第 188 页)

轮廓,最后对轮廓进行标记计数,能够对升降机平台上的工人数量进行及时准确的统计,并通过工人数量进行及时判断升降机平台是否超载,从而保障了工人的人身安全.具有很高的实用价值.

参考文献:

- [1] CHEN T H, CHEN T Y, CHEN Z X. An intelligent people-flow counting method for passing through a gate[C]//Proceedings of IEEE Conference on Robotics, Automation and Mechatronics Bangkok, Thailand:IEEE,2006:1-6.
- [2] Irshad A, Matthew N. Multiple human tracking in high density crowds[J]. Image and Vision Computing, 2012(30):966-977.
- [3] 应俊,李强.基于改进 Hough 变换的电梯轿厢内人数统计算法[J]. 计算机工程及应用, 2013(10):1211-0053.
- [4] should be handsome, li qiang. Based on the improved Hough transform inside the elevator car number statistics algorithm [J]. Computer engineering and application, 2013(10):1002-1211.
- [5] 靳海燕,熊庆宇,王楷,等.基于图像处理的电梯轿厢内人数统计方法研究[J]. 仪器仪表学报,2011,32(6):161-165.
- [6] JinHaiYan, Xiong Qingyu. Based on image processing of the elevator car number in statistical method research [J]. Journal of instruments and meters, 2011,

32(6):161-165.

- [7] 李广杰.一种面向数据核特征的复杂网络异常检测算法[J].科技通报,2013(8):27-29.
- [8] Li Guangjie. A data-oriented nuclear characteristics of complex network anomalydetection algorithm [J]. Science and technology, 2013(8):27-29.
- [9] Borgefors G. Distance Transformation in Arbitrary Dimensions [J]. Computer Vision, Graphics and Image Processing, 1984(27):321- 345.
- [10] Vincent L, Soille P. Watershed in digital space: An Efficient Algorithm Dased on Immersion Simulation [J]. IEEE Transactions on Pattern Analysis and Machine Intelligence,1991(13):583-598.
- [11] 吴作凌,陈雄,郑英杰,等.一种近红外手背静脉图像识别算法[J]. 微电子学与计算机, 2008, 27(10):114-119.
- [12] Wu Zuoling, Chen Xiong. A kind of near infrared hand vein image recognition algorithm [J]. Journal of microelectronics and computers, 2008,27(10):114-119.
- [13] LI Y Y, Shi H Z. Quantum Evolutionary Clustering Algorithm based on Watershed Applied to SAR Image Segmentation[J]. NeuroComputing,2012(87):90-98.

作者简介:

刘在英 男,(1977-),硕士,讲师.研究方向为图像处理.

周明升 男,(1981-),博士研究生.研究方向为不确定性推理、决策支持.

(上接第 183 页)

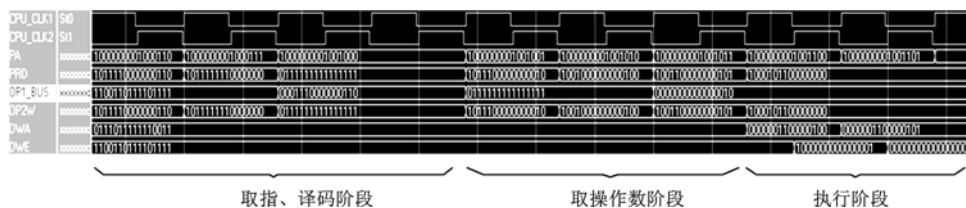


图 11 直接寻址方式的乘法指令

参考文献:

- [1] 朱子玉,李亚民. CPU 芯片逻辑设计技术[M]. 北京:清华大学出版社,2005.
- [2] Kryzhaovsky M V, Malsagov M U. Efficient multi-tasking in a dual-core CPU system [J]. Optical Memory & Neural Networks, 2008,17(1): 84-91.
- [3] 陈海兵,杨松华,吴耿峰.专用 16 位定点 DSP 的 CPU 设计[J]. 微电子学与计算机, 2004, 21(1):16-18.
- [4] Matthias B, Matthias K, Volker L. Optimized HPL for AMD GPU and multi-core CPU usage [J]. Computer Science Research and Development, 2011,26(3):153-164.

- [5] 李辉,李平.一种嵌入式 DSP 核的设计及 FPGA 验证[J]. 微电子学, 2008, 38(2):302-305.

- [6] Shen Z, He H. Architecture Design of a Variable Length Instruction Set VLIW DSP [J]. Tsinghua Science & Technology, 2009,14(5):561-569.

作者简介:

辛晓宁 男,(1965-),博士,教授.研究方向为大规模集成电路和 SOC 的低功耗设计方法、现场总线技术.

李萌 女,(1988-),硕士研究生.研究方向为集成电路设计与研究.